

PAT-NO: JP405325539A

DOCUMENT-IDENTIFIER: JP 05325539 A

TITLE: MEMORY CONTROL CIRCUIT AND
INITIALIZING METHOD THEREFOR

PUBN-DATE: December 10, 1993

INVENTOR-INFORMATION:

NAME

YOKOTA, HIROSHI

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP04132146

APPL-DATE: May 25, 1992

INT-CL (IPC): G11C007/00

US-CL-CURRENT: 365/189.01

ABSTRACT:

PURPOSE: To effectively utilize a memory address space by forming the chain of each FIFO memory circuit with a reading out address register as a starting point and a writing address register a finishing point.

CONSTITUTION: One FIFO memory is constituted of writing address registers WAR 111 to 113 and reading address registers RAR 121 to 123. Data is stored in a common memory 101. When a writing FIFO specified signal is inputted to a WAR selector 110, it is written in an address NA indicated by an idle address FIFO

103 by a next address memory 102. Then, an address where data is first entered is indicated by the RAR and an address where the last written data is stored is indicated by the WAR, and constituting the chain of addresses. At the time of initialization, the content of the FIFO 103 and the value of a counter 104 are cleared and a counter output is outputted as an unused address NA. Thus, the effective utilization of the memory is realized.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-325539

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.⁵

G11C 7/00

識別記号

318 A 6741-5L

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号 特願平4-132146

(22)出願日 平成4年(1992)5月25日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 横田 博史

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

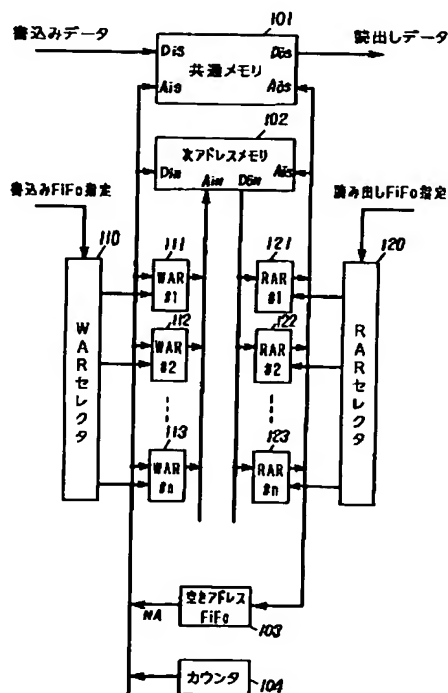
(74)代理人 弁理士 小鍛冶 明

(54)【発明の名称】 メモリ制御回路とその初期化方法

(57)【要約】

【目的】 本発明は、1つの共通メモリを用いて複数のFIFO回路を構成するためのメモリ制御回路に関するもので、共通メモリのアドレス空間の有効利用をはかることを目的とする。

【構成】 1つの共通メモリに対する書き込みと読みだしを制御し、複数のFIFOメモリ回路を構成するために、メモリ制御回路は、構成するFIFOメモリ回路に対応した2種類のレジスタの組(書き込みアドレスレジスタと読み出しアドレスレジスタ)と、共通メモリの使用していない空きアドレスを格納する空きアドレスFIFOと、前記レジスタの組を用いてFIFOメモリ回路数のアドレスのチェーンを形成するためのアドレスメモリとから成る。



【特許請求の範囲】

【請求項1】1つの共通メモリに対する書き込みと読みだしを制御し、複数のFIFO (First In First Out) メモリ回路を構成するためのメモリ制御回路において、構成するFIFOメモリ回路に対応した2種類のレジスタの組(書き込みアドレスレジスタと読み出しアドレスレジスタ)と、

共通メモリの使用していない空きアドレスを格納する空きアドレスFIFOと、

前記レジスタの組を用いてFIFOメモリ回路数のアドレスのチェーンを形成するためのアドレスメモリとから構成され、

データを前記FIFOメモリ回路に書き込むときは、空きアドレスFIFOから出力されるアドレス値を、データを書き込むFIFOメモリ回路に対応する書き込みアドレスレジスタが示していたアドレスのアドレスメモリに対してと書き込みアドレスレジスタに対してとにそれぞれ書き込み、同時に共通メモリに対してデータを前記空きアドレスFIFOから出力されるアドレスに書き込み、

データを前記FIFOメモリ回路から読み出すときは、そのデータが読み出されるFIFOメモリ回路に対応する読み出しアドレスレジスタから読み出しアドレスを共通メモリとアドレスメモリとに対して出力し、空きアドレスFIFOは該読み出しアドレスを入力し、同時に共通メモリにデータを書き込み、一方アドレスメモリから読み出される次アドレスを読み出しアドレスレジスタに書き込むことにより、

各FIFOメモリ回路に対応して、

読み出しアドレスレジスタに、上記共通メモリと上記アドレスメモリにそれぞれ最初に読み出すべきデータと次アドレスとが書き込まれているアドレスが格納されている、

書き込みアドレスレジスタには、前回メモリに到着したデータを書き込んだメモリ上のアドレスが書き込まれている、

アドレスメモリと書き込みアドレスレジスタと読み出しアドレスレジスタを使って、読み出しアドレスレジスタを始点とし書き込みアドレスレジスタを終点とするFIFOメモリ回路毎のチェーンを形成することを特徴とするメモリ制御回路。

【請求項2】請求項1のメモリ制御回路において、メモリ制御回路の構成要素としてカウンタを追加し、前記カウンタは共通メモリにデータが書き込まれる毎にカウントアップし、

メモリ制御回路の初期化時に、空きアドレスFIFOの内容量をクリアし、

初期化後のデータ書き込み時に、

共通メモリで構成できる全てのFIFOメモリ回路に保持できるデータ数の合計数までのデータを書き込むまで

は、空きアドレスFIFOから出力されるアドレス値の代わりに前記カウンタ出力値を用い、その後は空きアドレス用FIFOメモリから出力されるアドレス値を用いることを特徴とするメモリ制御回路の初期化方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、1つのメモリを共通利用して複数のFIFO回路を構成するためのメモリ制御回路に関する。

【0002】

【従来の技術】1つのメモリから複数のFIFO回路を構成するためのメモリ制御回路の例として、特願平3-3448がある。

【0003】図5に従来のメモリ制御回路を、図6に従来のメモリ制御回路で用いる次アドレスメモリと共通メモリの構成を示す。図7は、アドレスチェーンを説明するための図である。以下、図5～図7を用いて、共通メモリとメモリ制御回路から構成される従来のFIFO回路の動作を説明する。

【0004】まず書き込み動作を説明する。書き込みアドレスレジスタ(WAR)511～514のうちで、データを書き込むFIFO回路を指定するHDによって指定されたものが、WARセクタ502によって選ばれ、WARセクタから書き込みアドレスWAとして出力される。それと同時に、空アドレスFIFO505から出力される未使用アドレスを、WARセクタ502によって選ばれた書き込みアドレスレジスタに書き込む。このとき、未使用アドレスNA₀は、次アドレスとして制御回路5から次アドレスメモリ30(図6)にも書き込まれる。この動作によって、図7に示すように、各書き込みアドレスレジスタWAR511～514には、次にデータを書き込むべきアドレスが格納され、次アドレスメモリ30にも次アドレスが書き込まれ、データがメモリに書き込まれるたびにアドレスのチェーンが更新される仕組みになっている。読みだし側から見れば、1つのデータをメモリから読み出すと、同時にそのアドレスから次に読み出すべきデータのアドレス(次アドレス)を読み出すことができるようになっている。

【0005】次に、読み出し動作を説明する。読み出しアドレスレジスタ(RAR)531～534の出力のうちで、CNT信号によって示される次読み出しデータが入っているFIFO回路に対応するRAR出力が、RARセクタ503によって選ばれる。そして、読み出しアドレスRAとして制御回路5から出力される、そのアドレスからデータが読み出される。このとき同時に、RARデコーダ504は、CNTの指示に基づきゲート541～544を開き、次に読み出すべきデータに対応するRARに、NA_iから入力する次アドレスメモリ30から読み出された次アドレスを書き込む。この動作により、メモリからデータを読み出すたびに、次に読み出す

べきデータのアドレスをRARに格納することができる。RARセクタ503から読み出しアドレスが出力されると、そのアドレスのデータは読み出されて、そのアドレスが未使用になる。未使用になったアドレスは、空アドレスFIFO505に書き込まれ、再び書き込みアドレスとして使われる。

【0006】FIFO回路に対応するWARとRARの番号は、FIFOに読み出すべきデータがない場合には一致する。読み出すべきデータがある場合には不一致となる。不一致検出回路(UM)551~554は、UMセクタ506を通して読み出しデータの有無を知らせる。そして、読み出すべきデータが入っていないFIFO回路からデータを読み出すような場合には、データが無い旨を知らせると同時に、RAR値を変更できないように制御する。

【0007】図6は、次アドレスメモリ30と共通メモリ(31~35)の構成を示す。メモリの入力WAには、書き込みアドレスが入力され、2ポートRAM301に書き込むべきデータのアドレスを与える。メモリの入力RAには、読み出しアドレスが入力し、2ポートRAM301に読み出すべきデータのアドレスが与えられる。入力WAとRAには、その入力の有効性を示すビットがそれぞれ付属しており、そのビットが有効性を示さなければ、書き込み動作、あるいは読み出し動作を行わない。

【0008】

【発明が解決しようとする課題】従来のメモリ制御回路を用いてFIFO回路を構成すると以下のような問題点があった。

【0009】書き込みアドレスレジスタは、構成するFIFO回路の数だけ存在する。そして、次書き込みアドレスをそれぞれ保持している。これでは、メモリの有効利用の点から考えると、次のような問題点がある。

【0010】例えば、共通メモリとして512個のデータを格納できる容量を持っていたとし、その共通メモリを用いて32個のFIFO回路を構成する場合を例にする。すると、512個のうち32個のアドレスは、次にデータが到着した時にそのデータを格納するために予約されており、データが書き込まれないにもかかわらず書き込みアドレスレジスタに保持されたままである。すなわち512個データを収容する容量があるにも関わらず、実際に使用できる容量は480(= (512-32))となってしまう、メモリの有効利用がはかれないことになる。

【0011】次に初期時の問題点について記す。従来例の書き込みアドレス管理方法では、初期化終了時にも、書き込みレジスタには、次にデータを書き込むアドレスが格納されていなければならない。そこで、例えば、FIFO番号に対応する番号をレジスタ初期値とするなどして、初期化時に書き込みアドレスレジスタに固有の値

を持たせなくてはならない。同じメモリ制御回路を用いていると、構成するFIFO回路の数が変わった場合に、用いないFIFOメモリ回路に対しても、アドレス値を割当ることになる。すると、初期化時に割当てた初期アドレス値が〔制御回路により構成できるFIFO数の最大値-実際必要数〕個だけ無駄になってしまい、アドレス空間の有効利用ができないことになる。

【0012】また、空アドレスFIFOに、初期化時に使用しなかったアドレスを格納する回路が必要になる。

10 【0013】本発明は、上記の問題点を解消し、メモリアドレス空間の有効利用をはかることができるメモリ制御回路を提供することを目的とする。

【0014】

【課題を解決するための手段】1つの共通メモリに対する書き込みと読みだしを制御し、複数のFIFO(First In First Out)メモリ回路を構成するために、構成するFIFOメモリ回路に対応した2種類のレジスタの組(書き込みアドレスレジスタと読み出しアドレスレジスタ)と、共通メモリの使用していない空きアドレスを格納する空きアドレスFIFOと、前記レジスタの組を用いてFIFOメモリ回路数のアドレスのチェーンを形成するためのアドレスメモリとから成るメモリ制御回路であって、データを前記FIFOメモリ回路に書き込むときは、空きアドレスFIFOから出力されるアドレス値を、データを書き込むFIFOメモリ回路に対応する書き込みアドレスレジスタが示していたアドレスのアドレスメモリに対して書き込みアドレスレジスタに対してとにそれぞれ書き込み、同時に共通メモリに対してデータを前記空きアドレスFIFOから出力されるアドレスに書き込み、データを前記FIFOメモリ回路から読み出すときは、そのデータが読み出されるFIFOメモリ回路に対応する読み出しアドレスレジスタから読み出しアドレスを共通メモリとアドレスメモリとに対して出力し、空きアドレスFIFOは該読み出しアドレスを入力し、同時に共通メモリにデータを書き込み、一方アドレスメモリから読み出される次アドレスを読み出しアドレスレジスタに書き込むことにより、アドレスメモリと書き込みアドレスレジスタと読み出しアドレスレジスタを使って、読み出しアドレスレジスタを始点とし書き込みアドレスレジスタを終点とするアドレスチェーンを構成する。

【0015】

【作用】前記した回路構成とアドレスチェーン構成方法によって、次に書き込むデータのアドレスを集中管理する。集中管理によって、使用しないにもかかわらず予約されたメモリ空間をなくすることができる。

【0016】初期化時にカウンタ出力を空きアドレスとして用いることにより、空きアドレスメモリの初期化を簡単にすると同時に、構成するFIFOメモリ数に依存しなくてメモリ空間を有効利用することができる。

【0017】

【実施例】図1は本実施例のメモリ制御回路を用いたFIFOメモリ回路の構成を、図2～図4は本実施例の動作を説明する説明図を、それぞれ示す。

【0018】図1において、101はデータを格納する共通メモリ、102はアドレスチェーンをつくるためのアドレスメモリ、103は未使用アドレスを格納する空アドレスFIFO、104は初期化時に書き込みアドレスを発生するカウンタ、111～113はFIFOメモリ回路に対応する書き込みアドレスレジスタ(WAR)、110は書き込みFIFO指定信号を入力してWARを制御する書き込みアドレスレジスタ(WAR)セクタ、121～123はFIFOメモリ回路に対応する読み出しアドレスレジスタ(RAR)、120は読み出しFIFO指定信号を入力してRARを制御する読み出しアドレスレジスタ(RAR)セクタである。構成するFIFOメモリ回路の数だけWARとRARのレジスタの組が存在する。

【0019】以下、図1～図4を用いてメモリ制御回路の動作を説明する。まず図2を利用して、アドレスメモリ102と書き込みアドレスレジスタ(WAR)と読み出しアドレスレジスタ(RAR)とを用いてアドレスチェーンの作り方を説明する。

【0020】1つのFIFOメモリは、1組のWARとRARとアドレスメモリ102から構成する。データは共通メモリ101に格納される。

【0021】RARは、最初にデータが入ったアドレスを指している。図2では、RARは01番地を指している。共通メモリの01番地にはデータ(#1)が入っている。一方、アドレスメモリ102の01番地には、データ#1の次データ(データ#2)が格納されているアドレスの番地(03)が格納されている。次アドレスメモリの03番地には、05が入っている。WARには、最後に書き込まれたデータ(#3)が格納されているアドレス(05番地)を指している。このように、RARとWARの組合せに毎のアドレスのチェーンを構成している。

【0022】次に、データを書き込む場合の動作を図3を用いて説明する。データを書き込む場合には、次データ(#4)は空アドレスFIFO103が指し示すアドレスNAに書き込むことになる。同時に、WARが指していたアドレスメモリのアドレスのデータをNA(図2中では07)に書換え、WAR自身も07番地を指し示すようにNAを設定する。この動作によって、05番地から07番地へチェーンが延びることになる。

【0023】続いて、データを読み出す場合の動作を図4を用いて説明する。データを読み出す場合には、RARが示す共通メモリのアドレスからデータ(#1)を読み出す。データ#1を読み出した後は、RARが指し示していたアドレスメモリのアドレスのデータ(03)を

RARに設定する。

【0024】以下に、上述した方式を実現するハード構成を図1を用いて説明する。書き込みデータは、そのデータを書き込むFIFOメモリ回路を示す信号(書き込みFIFO指定信号)と共に到着する。書き込みFIFO指定信号はWARセクタ110に入力され、書き込みデータがどのFIFOに書き込むかを解析する。書き込みFIFOに対して、WARセクタ110は、空きアドレスNAを対応する書き込みアドレスレジスタ(WAR)に対して書き込む。同時に、NAをWARが示していたアドレスメモリ102のアドレスに書き込み、またNAが示すアドレスに書き込みデータを書き込む。アドレスチェーンの作り方は、図2～図4を使って上述した通りである。

【0025】一方、データの読み出し時には、どのFIFOメモリ回路からデータを読み出すかを指示する信号(読み出しFIFO指定信号)を入力すると、それに対応するFIFOメモリ回路からデータを読み出す。読み出しFIFO指定信号を入力したRARセクタ120は、どのFIFOメモリ回路からデータを読み出すかを解析し、対応する読み出しアドレスレジスタ(RAR)に対して選択信号を出力する。選択されたRARは、RARが格納していたアドレス値を共通メモリ101に対して出力する。共通メモリ101ではRARから指示されたアドレスないのデータを読み出しデータとして出力する。同時に、RARが出力するアドレス値が示すアドレスメモリ102の内のデータは、RARに格納され、アドレスチェーンの開始点を新たに設定する。また、RARが出力していたアドレス値からは、読み出しデータが出力されたから未使用アドレスになってしまう。そこで、この未使用になったアドレス値は空アドレスFIFO103に格納される。

【0026】以上の、書き込み動作と読み出し動作によってFIFOメモリ回路を構成する。FIFOメモリ回路に1つのデータが格納されている場合には、RARとWARが同じ値を示すことになる。さらに、データが1つ読み出され、対応するFIFOメモリ回路の格納データ数が0になると、両レジスタ(WARとRAR)には、どのアドレスをも示さない記号を格納する。この「どのアドレスをも示さない記号」として、例えば「0」を用いる。WARとRARに格納されている値が0以外であれば、それはアドレス値を示すことになり、0であれば、それはアドレス0を示すのではなく、それに対応するFIFOメモリ回路にデータが1つも入っていないことを示す。

【0027】共通メモリによって構成するFIFOメモリ回路の数だけのWARとRARのレジスタ組が存在するわけであるが、本実施例では、各FIFOメモリ回路それぞれに次に書き込むデータを格納するアドレスを準備するのではなく、空アドレス出力であるNA値を1

つのアドレスとして準備する。

【0028】次に、共通メモリを用いて複数のFIFOメモリ回路を構成する回路の初期化方法について説明する。

【0029】初期化後には、共通メモリ101には1つもデータが書き込まれていない状態になる。そのため、各レジスタ組(WARとRAR)は、すべて、データが1つも格納されていないことを示す記号が設定される。その後、データが到着して書き込みアドレスを発生する場合の動作を次に説明する。普段は空きアドレスFIFO103から出力される未使用アドレスNAを用いてアドレスチェーンを構成していく。しかし、初期化時には、まず空きアドレスFIFO103の内容と、カウンタ104の値をクリアする。そして、データが到着して未使用アドレスNAが必要になれば、カウンタ104出力を未使用アドレスNAとして出力する。NAは、1から始まって、共通メモリの容量でできる全FIFOメモリ回路によって格納できるデータ数まで、カウンタ104によって出力される。その後は、空きアドレスFIFO103出力をNAとして用いる。

【0030】

【発明の効果】以上説明したように、本発明によれば、次にデータを書き込むアドレスを全てのFIFO回路で共通して保持することによって、メモリの有効利用をはかることができる。また構成するFIFOの個数に依存

しない初期化動作ができ、メモリの有効利用ができ、その実用効果は大きい。

【図面の簡単な説明】

【図1】本発明の実施例の動作を説明するメモリ制御回路とその周辺回路の構成図

【図2】本発明の実施例の動作を説明するためのアドレスチェーンを示す図

【図3】本発明の実施例の動作を説明するためのアドレスチェーンを示す図

10 【図4】本発明の実施例の動作を説明するためのアドレスチェーンを示す図

【図5】従来のFIFOメモリ回路の構成図

【図6】従来のFIFOメモリ回路の構成図

【図7】従来のFIFOメモリ回路の動作を説明するためのアドレスチェーンを示す図

【符号の説明】

101 共通メモリ

102 アドレスメモリ

103 空きアドレスFIFO

20 104 カウンタ

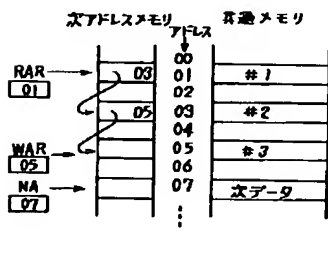
110 書き込みアドレスレジスタ(WAR)セレクト

111~113 書き込みアドレスレジスタ

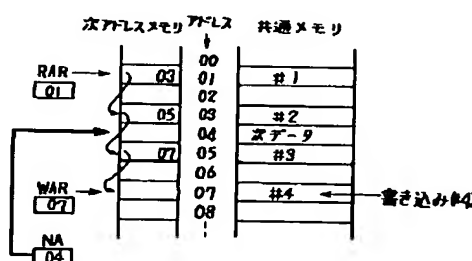
120 読みだしアドレスレジスタ(RAR)セレクト

121~123 読みだしアドレスレジスタ

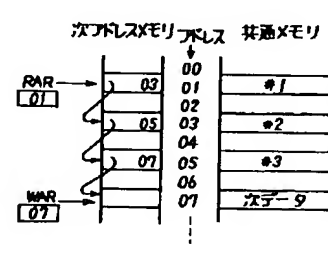
【図2】



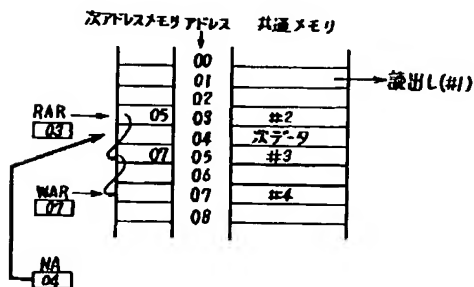
【図3】



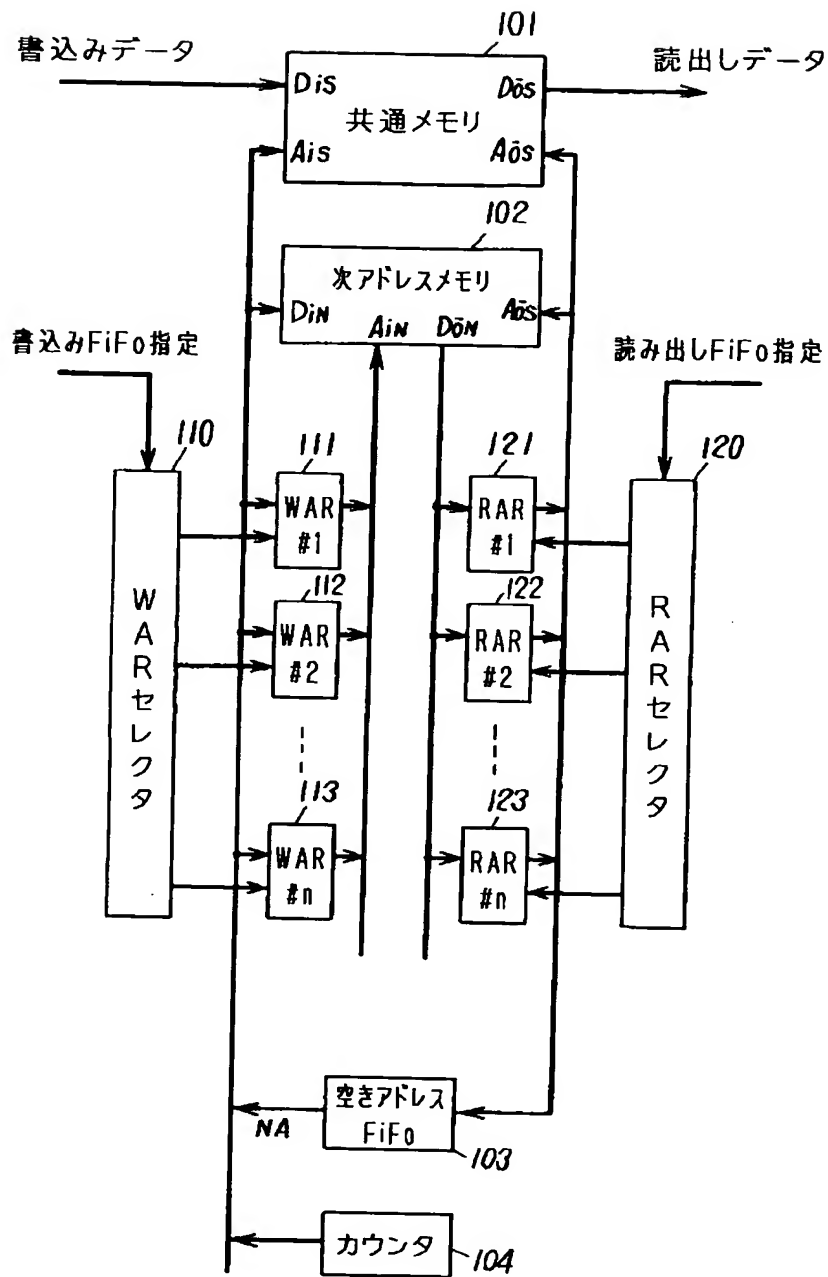
【図7】



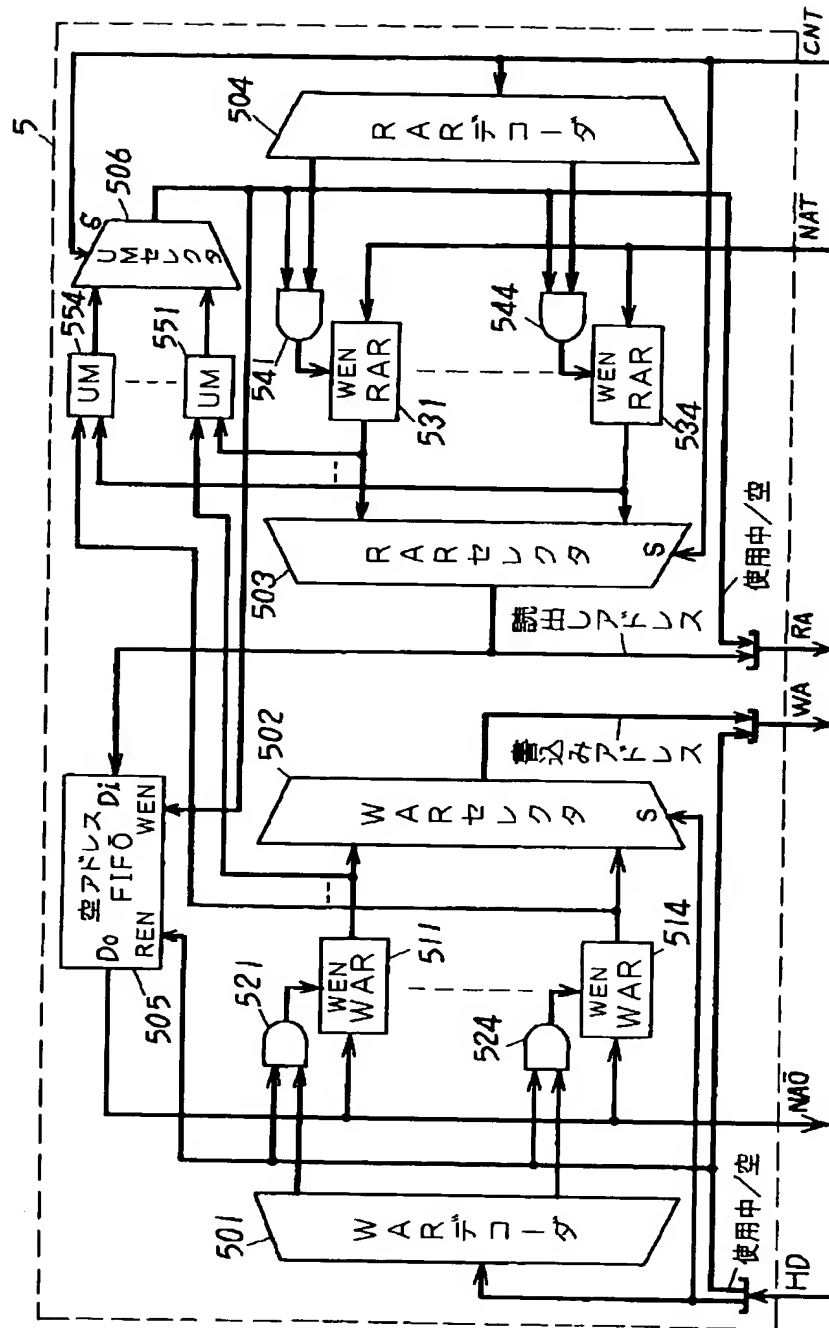
【図4】



【図1】



【図5】



【図6】

